

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—123318

⑮ Int. Cl.³
H 03 K 13/20

識別記号
1 0 1

庁内整理番号
7530—5 J

⑬ 公開 昭和59年(1984)7月17日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ アナログ—デジタル変換回路

会社諏訪精工舎内

⑯ 出 願 人 株式会社諏訪精工舎
東京都中央区銀座4丁目3番4号

⑰ 特 願 昭57—234449

⑱ 出 願 昭57(1982)12月28日

⑲ 発 明 者 久根正樹

⑳ 代 理 人 弁理士 最上務

諏訪市大和3丁目3番5号株式

明 細 書

発明の名称

アナログ—デジタル変換回路

特許請求の範囲

入力電圧を積分して、その値に比例したデジタル値に変換する積分型アナログ—デジタル変換回路において、積分回路に複数の積分抵抗、あるいは複数の積分コンデンサーにそれぞれ接続された選択切り換え手段を具備し、該入力電圧の大小に応じて、レンジ切り換えを行なうことを特徴とするアナログ—デジタル変換回路。

発明の詳細な説明

本発明は、入力信号電圧値の大小に応じたレンジ切り換え機能を有するアナログ—デジタル変換回路（以下 A/D 変換回路と称する。）に関するものである。

二重積分型 A/D 変換回路は、基本的には、積分用演算増幅器及び、積分抵抗と積分コンデンサー

による構成であり、入力アナログ信号電圧の一定時間の積分（正積分期間「T_I」と呼ぶ）を、その後、上記入力アナログ信号電圧とは逆極性の一定電圧を基準電圧源「V_R」から供給し積分（逆積分期間「T_S」と呼ぶ）を順次行ない、積分回路出力電圧が一定値、すなわち積分回路の出力側に設けられた比較回路の比較電圧に達するまでの時間をカウントすることにより、入力アナログ信号電圧を、これに比例したデジタル値に変換するものである。

従来の入力信号電圧値の大小に応じたレンジ切り換え機能を有する二重積分型 A/D 変換回路の一般的構成例を第1図に示す。

第1図において、1は A/D 変換回路のアナログ入力端子、3は大規模集積回路の入力端子である。また、6は入力切換えアナログスイッチ群、7は基準電圧源、8は入力バッファ—アンプである。10は積分器用演算増幅器14の反転入力端子に、入力バッファ—アンプ8の出力端子9間に接続された積分抵抗であり、12は比較器用演算増幅

器15の非反転入力端子(+)に一端が接続された積分コンデンサである。

以上、入力バッファアンプ、積分器用演算増幅器、比較器用演算増幅器、及び積分抵抗、積分コンデンサによりA/D変換回路を構成している。

15は、積分回路の出力電圧と比較電圧(通常は接地電位とする)とを比較する比較器用演算増幅器で、その比較器用演算増幅器の出力は、制御論理回路16に接続されている。

入力切換えアナログスイッチ群6は、制御論理回路16で制御されるが、アナログスイッチ「S1」に対して、アナログスイッチ「S2」、「S3」は、外部接続された、レンジ切換えの基準抵抗2(通常では約10メガオームが選ばれる。)とレンジ切換えの分割抵抗4(レンジ切換えの基準抵抗の10分の1=約1メガオーム)を選択するスイッチであり、例えば入力電圧が小さい場合(ダウンレンジと呼ぶ)には、アナログスイッチ「S1」=ON,「S2」=「S3」=OFFとなり、入力電圧を直接アナログーデジタル変換す

るが、入力電圧が増大すると、アナログスイッチ「S1」=OFF,「S2」=「S3」=ONとなって、レンジ切換えの基準抵抗と分割抵抗とで分割された入力電圧でアナログーデジタル変換する方式となっている(アップレンジと呼ぶ)。また、アナログスイッチ「S4」、「S5」は、積分抵抗10の他端に、入力アナログ信号電圧と基準電圧源7とを選択するスイッチである。

第2図は、第1図の動作を示すタイミングチャートである。

まず、積分器用演算増幅器14の出力電圧が、「H」レベルから「L」レベルになったとすると比較器用演算増幅器15の出力は、「L」レベルから「H」レベルになり、入力切換えアナログスイッチ群16を制御して一定時間(正積分期間「T_E」)積分される。この入力積分が終了すると、入力アナログ信号とは逆極性の基準電圧が印加され、積分器用演算増幅器の出力電圧=比較電圧となるまで積分される。この期間(逆積分期間「T_S」と呼ぶ)を計数し、デジタル表示回路によ

り表示する。

ところが実際には、第1図に示す様に、A/D変換回路のアナログ入力端子から、入力バッファアンプ迄の経路には、入力切換えアナログスイッチ群のオフ抵抗、大規模集積回路の静電気保護用ダイオードのオフ抵抗、及びジャンクションリーク等の微少リーク電流が存在し、入力信号の大小によってはその値は10ピコアンペア(10×10^{-12} アンペア)以上となり、当然そのリーク電流は、アナログ入力端子を短絡してもレンジ切換え用基準抵抗を流れる為、そのレンジ切換え用基準抵抗の両端に発生する電圧は、「リーク電流」と、「レンジ切換え用基準抵抗(通常は高入力インピダンスとする為10メガオームとなる)」との積となるので(10×10^{-12}) \times (10×10^6) (Volts) = 10^{-6} (Volts)となり、例えばこのA/D変換回路の最小分解能が100マイクロボルト(100×10^{-6} Volts)の計測器であった場合には、アナログ入力端子が短絡状態でも、ゼロ点浮き上がり現象(入力電圧0でも表示値が0とならない)となってアナログ

ーデジタル変換表示値として現われ、計測精度に影響を与えている。上記レンジ切換えの基準抵抗及び分割抵抗をともに低減させれば、問題ないが、前記の様に実際には、アナログ入力端子からの入力インピダンスは、ほぼこのレンジ切換えの分割抵抗で決定される為回路の入力インピダンスが低下してしまい、計測器として好ましくない結果となる。

本発明は、上記に述べた欠点を除去したものであり、その目的とする所は、微少リーク電流が小さく(入力切換えアナログスイッチの個数が少ない。etc.)かつ、微少リーク電流をほとんど無視でき、しかもレンジに無関係な高入力インピダンスのレンジ切換え機能を有するA/D変換回路を提供することにある。入力アナログ信号はレンジのアップレンジ・ダウンレンジに無関係に常に直接入力バッファアンプに輸入され、積分回路に依り、レンジ切り換えを行なうことにより、上記の目的を達成したものである。

第3図に本発明の方式を採用した、A/D変換回

路の一実施例を示す。

第3図に示すように、本発明の方式は、第1図の回路構成とは異なり、入力バッファアンプ8の出力に、レンジ切り換え用アナログスイッチ「S8」、「S9」と、アップレンジ専用正積分抵抗20を付加したものである。その為、従来の回路におけるレンジ切り換えの為の入力切り換えアナログスイッチと、外付のレンジ切り換えの基準抵抗及びレンジ切り換えの分割抵抗は全く不要で、アナログ入力端子の微小リーク電流による影響も皆無となり、著しく計測精度の向上が計れるものである。

本方式によると、ダウンレンジにおける積分抵抗10と積分コンデンサ12に依る積分回路定数は従来の方式と何ら違いはない。ところが、入力アナログ電圧が増大し、制御論理回路22に依り、アップレンジに入った場合には、積分期間「T_I」においては、アップレンジ正積分専用アナログスイッチ（「S8」）をON状態とし、そのアナログスイッチに直列接続された、アップレン

ジ専用正積分抵抗20で積分を行ない、逆積分期間「T_S」においては、ダウンレンジと同様のアナログスイッチ（「S9」）をON状態とし、そのアナログスイッチに直列接続された、積分抵抗10で逆積分を行ない、積分回路の利得を制御する方式としている。

第4図は、第3図に示す本発明の一実施例の動作を示すタイミングチャートである。

以上の様に、本発明の方式は、第1図のレンジ切り換えの基準抵抗、レンジ切換えの分割抵抗、レンジ切換えのアナログスイッチ（「S1」、「S2」、「S3」）の代替として、アップレンジ正積分専用アナログスイッチ（「S8」）と、アップレンジ専用正積分抵抗のみを追加したものであり、この様にすることにより、アナログ入力部の構成が非常に簡単であるが故にリーク電流が少なく、しかも高入力インピダンス高精度のレンジ切換え機能付のA/D変換回路を構成することができる効果を有するものである。

尚、上記説明では、積分抵抗にそれぞれ直列接

続されたアナログスイッチによる切り換え手段としてあつかったが、本発明はそれに限らず、2系統を越えるレンジ切り換え、及び第5図、第6図に示す様な回路方式でもまったく同様な効果が得られるものである。

図面の簡単な説明

第1図は、従来のレンジ切り換え付A/D変換回路の構成例を示す図であり、第2図はそのタイミングチャートである。

第3図は、本発明によるレンジ切り換え付A/D変換回路の構成例を示す図であり、第4図はそのタイミングチャートである。第5図は本発明の第2実施例を示す回路図、第6図は本発明の第3実施例を示す回路図である。

- 1・・・A/D変換回路のアナログ入力端子。
- 2・・・基準抵抗
- 3・・・大規模集積回路入力端子
- 4・・・A/D変換回路のCOM端子
- 5・・・分割抵抗
- 6・・・分割抵抗接続用端子
- 7・・・入力切換えアナログスイッチ群

- 8・・・基準電圧源
- 9・・・入力バッファアンプ
- 10・・・入力バッファアンプ出力端子
- 11, 25・・・積分抵抗
- 12・・・積分器入力端子
- 13・・・積分コンデンサ
- 14・・・比較器入力端子
- 15・・・積分器用演算増幅器
- 16・・・比較器用演算増幅器
- 17・・・制御論理回路
- 18・・・従来の大規模集積回路ブロック
- 19, 27, 30・・・本発明による入力アナログスイッチ群
- 20・・・アップレンジ用バッファアンプ出力端子
- 21, 28・・・アップレンジ専用正積分抵抗
- 22・・・積分器入力端子
- 23・・・本発明による制御論理回路
- 24, 26, 29・・・本発明による大規模集積回路ブロック
- S1・・・従来のダウンレンジ用アナログスイ

チ群

S2, S3・・・従来のアップレンジ用アナログスイ

ッチ群

S4, S6・・・入力積分用アナログスイッチ

S5, S7・・・逆積分用アナログスイッチ

S8・・・アップレンジ正積分専用アナログスイ

ッチ。

S9・・・ダウンレンジ積分・アップレンジ逆積

分専用アナログスイッチ

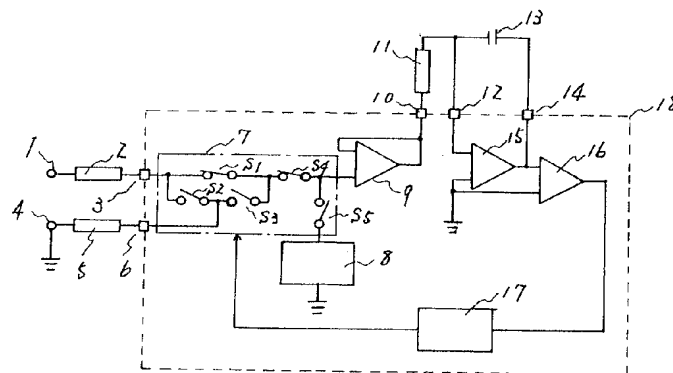
(A)・・・積分波形

(B)・・・アナログスイッチの開閉タイミング

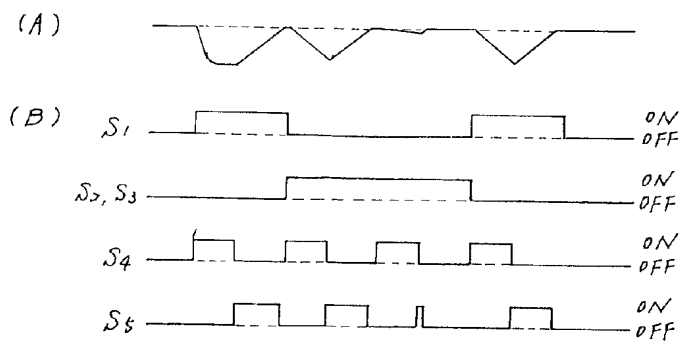
以 上

出 願 人 株式会社諏訪精工舎

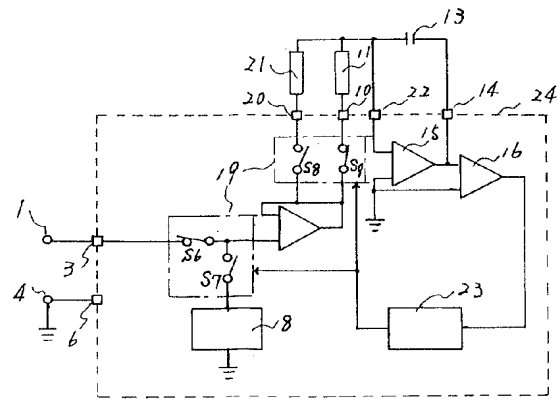
代 理 人 弁理士 最 上



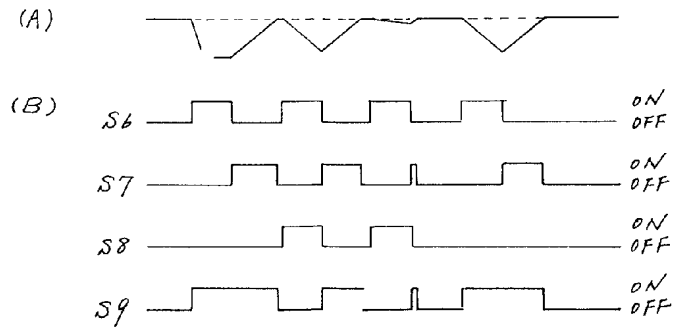
第 1 図



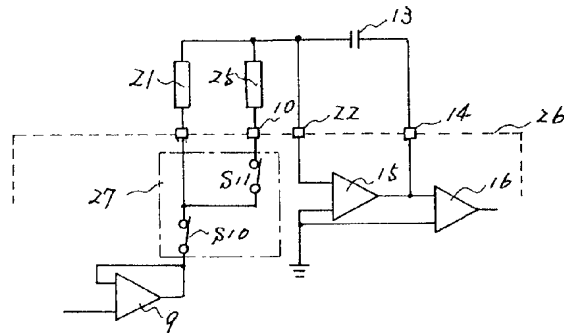
第 2 図



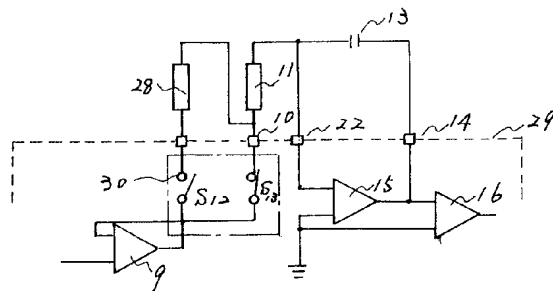
第 3 図



第 4 図



第 5 図



第 6 図